

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

2811

0400

#2
6-25-01
Mami

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Shuici Kikuchi et al. Art Unit : Unknown
Serial No. : 09/829,876 Examiner : Unknown
Filed : April 10, 2001
Title : SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME



Commissioner for Patents
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application(s):

· Japan Application No. 2001-008019 filed January 16, 2001

A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Chris T. Mizumoto
Reg. No. 42,899

Date: May 7, 2001

Fish & Richardson P.C.
45 Rockefeller Plaza, Suite 2800
New York, NY 10111
Telephone: (212) 765-5070
Facsimile: (212) 258-2291

30048784.doc

RECEIVED
JUN - 1 2001
TC 2800 MAIL ROOM

CERTIFICATE OF MAILING BY FIRST CLASS MAIL

I hereby certify under 37 CFR §1.8(a) that this correspondence is being deposited with the United States Postal Service as first class mail with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, Washington, D.C. 20231.

May 7, 2001

Date of Deposit

Signature

Rose Papetti

Typed or Printed Name of Person Signing Certificate



日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2001年 1月16日

出願番号
Application Number:

特願2001-008019

出願人
Applicant (s):

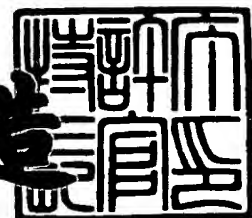
三洋電機株式会社

RECEIVED
JUN - 1 2001
TG 2800 MAIL ROOM

2001年 3月23日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3022066

【書類名】 特許願

【整理番号】 KIA1010004

【提出日】 平成13年 1月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

 【氏名】 菊地 修一

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

 【氏名】 西部 栄次

【発明者】

 【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社内

 【氏名】 鈴木 ▲たく▼也

【特許出願人】

 【識別番号】 000001889

 【氏名又は名称】 三洋電機株式会社

 【代表者】 桑野 幸徳

【代理人】

 【識別番号】 100111383

 【弁理士】

 【氏名又は名称】 芝野 正雅

 【連絡先】 電話03-3837-7751 法務・知的財産部
東京事務所

【手数料の表示】

 【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】 一導電型の半導体基板上に形成された第 1 及び第 2 のゲート絶縁膜上に延在して形成されたゲート電極と、

前記ゲート電極の一端に隣接する逆導電型ソース領域と、

チャネル領域を介して前記ソース領域と対向し、かつ前記第 1 のゲート絶縁膜下に少なくとも前記基板内の所定深さ位置に不純物濃度ピークを有し、基板表面に近い領域で不純物濃度が低くなるように形成された第 1 濃度の逆導電型ドレイン領域と当該ドレイン領域に連なるように形成された第 2 濃度の逆導電型ドレイン領域と、

前記ゲート電極の他端から離間され、かつ前記第 2 濃度の逆導電型ドレイン領域内に含まれる第 3 濃度の逆導電型ドレイン領域とを具備することを特徴とする半導体装置。

【請求項 2】 一導電型の半導体基板上に形成された第 1 及び第 2 のゲート絶縁膜上に延在して形成されたゲート電極と、

前記ゲート電極の一端に隣接する逆導電型ソース領域と、

チャネル領域を介して前記ソース領域と対向し、かつ前記第 1 のゲート絶縁膜下に少なくとも前記基板内の所定深さ位置に不純物濃度ピークを有し、基板表面に近い領域で不純物濃度が低くなるように形成された第 1 濃度の逆導電型ドレイン領域と当該ドレイン領域に連なるように形成された第 2 濃度の逆導電型ドレイン領域と、

前記ゲート電極の他端から離間され、かつ前記第 2 濃度の逆導電型ドレイン領域内に含まれる第 3 濃度の逆導電型ドレイン領域と、

前記第 1 のゲート絶縁膜の一端部から前記第 3 濃度の逆導電型ドレイン領域間にまたがるように形成された第 4 濃度の逆導電型層とを具備することを特徴とする半導体装置。

【請求項 3】 前記第 1 のゲート絶縁膜が、フィールド酸化されて成るフィールド酸化膜であることを特徴とする請求項 1 あるいは請求項 2 に記載の半導体

装置。

【請求項4】 前記第4濃度の逆導電型層が、前記第1のゲート絶縁膜の一端部から所定間隔を存した位置から前記第3濃度の逆導電型ドレイン領域間にまたがる領域であって、前記基板内の所定深さ位置に不純物濃度ピークを有し、基板表面に近い領域で不純物濃度が低くなるように形成されていることを特徴とする請求項2に記載の半導体装置。

【請求項5】 一導電型の半導体基板の所定領域に逆導電型の不純物をイオン注入する工程と、

前記基板の所定領域をフィールド酸化して第1のゲート絶縁膜を形成すると共に前記イオン注入された不純物を拡散させて第1のゲート絶縁膜下に第1濃度の逆導電型ドレイン領域を形成し、更に当該ドレイン領域に連なるように第2濃度の逆導電型ドレイン領域を形成する工程と、

前記第1のゲート絶縁膜以外の前記基板上に第2のゲート絶縁膜を形成した後に第1のゲート絶縁膜から第2のゲート絶縁膜上に跨るようにゲート電極を形成する工程と、

前記ゲート電極の一端に隣接するように逆導電型ソース領域を形成すると共にチャンネル領域を介して前記ソース領域と対向し、かつ前記ゲート電極の他端から離間され、かつ前記第2濃度の逆導電型ドレイン領域内に含まれるように第3濃度の逆導電型ドレイン領域を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項6】 一導電型の半導体基板の所定領域に逆導電型の不純物をイオン注入する工程と、

前記基板の所定領域をフィールド酸化して第1のゲート絶縁膜を形成すると共に前記イオン注入された不純物を拡散させて第1のゲート絶縁膜下に第1濃度の逆導電型ドレイン領域を形成し、更に当該ドレイン領域に連なるように第2濃度の逆導電型ドレイン領域を形成する工程と、

前記第1のゲート絶縁膜以外の前記基板上に第2のゲート絶縁膜を形成した後に第1のゲート絶縁膜から第2のゲート絶縁膜上に跨るようにゲート電極を形成する工程と、

前記ゲート電極の一端に隣接するように逆導電型ソース領域を形成すると共にチャンネル領域を介して前記ソース領域と対向し、かつ前記ゲート電極の他端から離間され、かつ前記第 2 濃度の逆導電型ドレイン領域内に含まれるように第 3 濃度の逆導電型ドレイン領域を形成する工程と、

前記第 1 のゲート絶縁膜の一端部から前記第 3 濃度の逆導電型ドレイン領域間にまたがるように第 4 濃度の逆導電型層を形成する工程とを具備することを特徴とする半導体装置の製造方法。

【請求項 7】 一導電型の半導体基板の所定領域に逆導電型の不純物をイオン注入する工程と、

前記基板の所定領域をフィールド酸化して第 1 のゲート絶縁膜を形成すると共に前記イオン注入された不純物を拡散させて第 1 のゲート絶縁膜下に第 1 濃度の逆導電型ドレイン領域を形成し、更に当該ドレイン領域に連なるように第 2 濃度の逆導電型ドレイン領域を形成する工程と、

前記第 1 のゲート絶縁膜以外の前記基板上に第 2 のゲート絶縁膜を形成した後、第 1 のゲート絶縁膜から第 2 のゲート絶縁膜上に跨るようにゲート電極を形成する工程と、

前記ゲート電極の一端に隣接するように逆導電型ソース領域を形成すると共にチャンネル領域を介して前記ソース領域と対向し、かつ前記ゲート電極の他端から離間され、かつ前記第 2 濃度の逆導電型ドレイン領域内に含まれるように第 3 濃度の逆導電型ドレイン領域を形成する工程と、

前記第 1 のゲート絶縁膜の一端部から所定間隔を存した位置から前記第 3 濃度の逆導電型ドレイン領域間にまたがる領域であって、前記基板内の所定深さ位置に不純物濃度ピークを有し、基板表面に近い領域で不純物濃度が低くなるように第 4 濃度の逆導電型層をイオン注入により形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 8】 前記第 4 濃度の逆導電型層の形成工程が、リンイオンを 1 0 0 K e V ~ 2 0 0 K e V 程度の高加速エネルギーでイオン注入してなることを特徴とする請求項 6 あるいは請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記第 4 濃度の逆導電型層の形成工程が、ホトレジストをマ

スクにして前記第 1 のゲート絶縁膜から所定間隔離れた位置から前記第 3 濃度の逆導電型ドレイン領域間にまたがる領域にイオン注入してなることを特徴とする請求項 6 あるいは請求項 7 に記載の半導体装置の製造方法。

【請求項 1 0】 前記第 4 濃度の逆導電型層の形成工程が、前記第 1 のゲート絶縁膜の側壁部に形成した側壁絶縁膜をマスクにして当該第 1 のゲート絶縁膜から所定間隔離れた位置から前記第 3 濃度の逆導電型ドレイン領域間にまたがる領域にイオン注入してなることを特徴とする請求項 6 あるいは請求項 7 に記載の半導体装置の製造方法。

【請求項 1 1】 前記第 4 濃度の逆導電型層の形成工程が、前記第 1 のゲート絶縁膜をマスクにして当該第 1 のゲート絶縁膜の斜め上方からイオン注入することで、第 1 のゲート絶縁膜から所定間隔離れた位置から前記第 3 濃度の逆導電型ドレイン領域間にまたがる領域に形成することを特徴とする請求項 6 あるいは請求項 7 に記載の半導体装置の製造方法。

【請求項 1 2】 前記第 4 濃度の逆導電型層の形成工程が、前記第 1 のゲート絶縁膜を被覆するように形成したホトレジストをマスクにして斜め上方からイオン注入することで、第 1 のゲート絶縁膜から所定間隔離れた位置から前記第 3 濃度の逆導電型ドレイン領域間にまたがる領域に形成することを特徴とする請求項 6 あるいは請求項 7 に記載の半導体装置の製造方法。

【請求項 1 3】 前記第 1 濃度の逆導電型ドレイン領域の不純物濃度は、前記第 2 濃度の逆導電型ドレイン領域よりも前記イオン注入された不純物がフィールド酸化時に第 1 のゲート絶縁膜内に取り込まれることで低くなるように形成されることを特徴とする請求項 5 あるいは請求項 6 あるいは請求項 7 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置とその製造方法に関するものであり、更に詳しく言えば、LCD ドライバーや EL ドライバー等に用いられる高電源電圧 (HV-VDD) 用の高耐圧 MOS トランジスタの動作耐圧特性の向上を図る技術に関する。

【0002】

【従来の技術】

以下で、従来例に係わる半導体装置について図13に示すLDD型高耐圧MOSトランジスタの断面図を参照しながら説明する。

【0003】

図13において、P型の半導体基板(P-Sub) 51上にゲート絶縁膜52を介してゲート電極53が形成されている。そして、前記ゲート電極53の一端に隣接するようにN+型ソース領域54が形成されており、チャネル領域55を介して前記ソース領域54と対向してN-型ドレイン領域56が形成され、更にゲート電極53の他端から離間され、かつN-型ドレイン領域56に含まれるようにN+型ドレイン領域57が形成されている。

【0004】

従来では、高耐圧化（例えば50V～60V程度）を図るため、低濃度のN-型ドレイン領域56をおよそ1000℃～1100℃程度の熱拡散により形成し、緩やかな濃度勾配と深く拡散層を形成していた。

【0005】

【発明が解決しようとする課題】

しかしながら、このような構成としてもソースドレイン間電圧(BVDS: OFF時の耐圧)は高いが、ドレイン電圧及びゲート電圧が共に高い場合、その動作耐圧であるサステイニング電圧(VSUS: ON時の耐圧)は高くできなかった。従来では、せいぜい30V程度が限界であった。

【0006】

以下、前述したような動作耐圧の低下が発生するメカニズムについて説明する。

【0007】

このようなNチャネル型高耐圧MOSトランジスタでは、図14、図15に示すようにドレイン領域57をコレクタ(N+)、ソース領域54をエミッタ(N+)及び半導体基板51をベース(P)とした横型バイポーラトランジスタ60が寄生的に形成される。OFF時の耐圧であるソースドレイン間電圧BVDS

が高くても動作耐圧 V_{SUS} が低下するのは、この寄生バイポーラトランジスタ 60 が ON するために引き起こされる。これにより、Nチャネル型高耐圧 MOS トランジスタ動作領域が限定され、全域での動作を困難にさせている。

【0008】

前記バイポーラトランジスタ 60 の動作を以下に説明する。

【0009】

図 14 に示すようにゲート電極 53 にゲート電圧 (V_G) ($> V_t$: スレッシュホールド電圧)、ドレイン領域 57 にコンタクトするドレイン電極 (V_D) ($> V_G$) の電圧が印加され、MOS トランジスタが ON 状態になっている場合、以下に述べる正帰還ループ (図 16 参照) が形成される。

【0010】

即ち、①ドレイン領域 57 近傍の空乏層 61 で加速されたチャネル領域 62 の電子により、空乏層内でアバランシェ増倍が発生し、電子・ホール対が生成される。②前記ホールが、基板内を流れる (基板電流: I_{Sub})。③前記基板電流 (I_{Sub}) が、半導体基板 51 内に電位勾配を生み、基板電位を上昇させる。④ソース領域 54 - 基板 51 間接合が順方向にバイアスされる。⑤ソース領域 54 から基板 51 に電子が注入される。⑥注入された電子がドレイン領域 57 に到達し、更にアバランシェ増倍を起こす。

【0011】

このように①～⑥の正帰還が形成されることにより、大電流が装置内を流れ、装置が破壊される。

【0012】

従って、Nチャネル型高耐圧 MOS トランジスタの設計においては、前述した現象を考慮して条件設定が行われる。先ず、第 1 に基板電流 (I_{Sub}) が大きくなると動作耐圧 (V_{SUS}) が小さくなるので、基板電流 (I_{Sub}) を減らすトランジスタ構造とし、第 2 に実使用領域での基板電流 (I_{Sub}) を減らすように条件を決定する。

【0013】

図 7 は基板電流 (I_{Sub}) - ゲート電圧 (V_G) 特性図であり、図において、

従来のNチャネル型高耐圧MOSトランジスタ（図中点線で示す。）では、基板電流（ I_{Sub} ）のダブルハンプ特性が現れ、特にゲート電圧（ V_G ）の高い領域での基板電流（ I_{Sub} ）が上昇している。そのため、図8のドレイン電流（ I_D ）ードレイン電圧（ V_D ）特性図や図9の動作耐圧を示す特性図に示すように動作耐圧（ V_{SUS} ）が低かった。

【0014】

前述したようなダブルハンプ特性が現れるのは、高いゲート電圧（ V_G ）領域において、空乏層がN+ドレイン領域近傍まで広がり、そこに電界が集中するためである。

【0015】

また、動作耐圧（ V_{SUS} ）の向上を図るため図9に示すようにイオン注入量を増やし、N-型ドレイン領域の濃度を高めることも考えられるが、図中に白丸で示したように従来の半導体装置では、十分な耐圧の向上が図れなかった。また、逆に図13に示すN-型ドレイン領域56の端部Aの濃度も上がるため、空乏層がチャンネル領域55方向に、より広がることによる短チャンネル効果の増大、そして基板電流（ I_{Sub} ）のピーク値の増加によるスナップバック現象の増大、更には、ソースドレイン間電圧（ B_{VDS} ）の低下等の問題が発生することになり、従来、動作耐圧の向上を図るための有効な手段がなかった。

【0016】

従って、本発明では動作耐圧の向上を可能とする半導体装置とその製造方法を提供することを目的とする。

【0017】

【課題を解決するための手段】

そこで、本発明の半導体装置は、一導電型の半導体基板上に形成された第1及び第2のゲート絶縁膜上に延在して形成されたゲート電極と、このゲート電極の一端に隣接する逆導電型ソース領域と、チャンネル領域を介して前記ソース領域と対向し、かつ前記第1のゲート絶縁膜下に少なくとも前記基板内の所定深さ位置に不純物濃度ピークを有し、基板表面に近い領域で不純物濃度が低くなるように形成された第1濃度の逆導電型ドレイン領域と当該ドレイン領域に連なるように

形成された第 2 濃度の逆導電型ドレイン領域と、前記ゲート電極の他端から離間され、かつ前記第 2 濃度の逆導電型ドレイン領域内に含まれる第 3 濃度の逆導電型ドレイン領域とを具備することを特徴とする。

【 0 0 1 8 】

これにより、ゲート電極が形成された第 1 のゲート絶縁膜下の第 1 濃度の逆導電型ドレイン領域の不純物濃度を活性領域の第 2 濃度の逆導電型ドレイン領域の不純物濃度よりも低く形成することができ、第 1 のゲート絶縁膜を介してゲート電極の端部での電界集中を抑制することができ、高耐圧化が図れる。

【 0 0 1 9 】

また、本発明の半導体装置は、前記第 1 のゲート絶縁膜の一端部から前記第 3 濃度の逆導電型ドレイン領域間にまたがる領域であって、前記基板内の所定深さ位置に不純物濃度ピークを有し、基盤表面に近い領域で不純物濃度が低くなるように第 4 濃度の逆導電型層が形成されていることで、動作耐圧の向上を図ることを特徴とする。

【 0 0 2 0 】

そして、本発明の半導体装置の製造方法は、一導電型の半導体基板の所定領域に逆導電型の不純物をイオン注入する工程と、前記基板の所定領域をフィールド酸化して第 1 のゲート絶縁膜を形成すると共に前記イオン注入された不純物を拡散させて第 1 のゲート絶縁膜下に第 1 濃度の逆導電型ドレイン領域を形成し、更に当該ドレイン領域に連なるように第 2 濃度の逆導電型ドレイン領域を形成する工程と、前記第 1 のゲート絶縁膜以外の前記基板上に第 2 のゲート絶縁膜を形成した後に第 1 のゲート絶縁膜から第 2 のゲート絶縁膜上に跨るようにゲート電極を形成する工程と、前記ゲート電極の一端に隣接するように逆導電型ソース領域を形成すると共にチャンネル領域を介して前記ソース領域と対向し、かつ前記ゲート電極の他端から離間され、かつ前記第 2 濃度の逆導電型ドレイン領域内に含まれるように第 3 濃度の逆導電型ドレイン領域を形成する工程とを具備することを特徴とする。

【 0 0 2 1 】

また、前述した第 3 濃度の逆導電型ドレイン領域を形成した後に、前記第 1 の

ゲート絶縁膜の一端部から前記第3濃度の逆導電型ドレイン領域間にまたがるように第4濃度の逆導電型層を形成する工程とを具備することを特徴とする。

【0022】

更に、前述した第3濃度の逆導電型ドレイン領域を形成した後に、前記第1のゲート絶縁膜の一端部から所定間隔を存した位置から前記第3濃度の逆導電型ドレイン領域間にまたがる領域であって、前記基板内の所定深さ位置に不純物濃度ピークを有し、基板表面に近い領域で不純物濃度が低くなるように第4濃度の逆導電型層をイオン注入により形成する工程とを有することを特徴とする。

【0023】

また、前記第4濃度の逆導電型層の形成工程が、リンイオンを100KeV～200KeV程度の高加速エネルギーでイオン注入してなることを特徴とする。

【0024】

更に、前記第4濃度の逆導電型層の形成工程が、ホトレジストをマスクにして前記第1のゲート絶縁膜から所定間隔離れた位置から前記第3濃度の逆導電型ドレイン領域間にまたがる領域にイオン注入してなることを特徴とする。

【0025】

また、前記第4濃度の逆導電型層の形成工程が、前記第1のゲート絶縁膜の側壁部に形成した側壁絶縁膜をマスクにして当該第1のゲート絶縁膜から所定間隔離れた位置から前記第3濃度の逆導電型ドレイン領域間にまたがる領域にイオン注入してなることを特徴とする。

【0026】

更に、前記第4濃度の逆導電型層の形成工程が、前記第1のゲート絶縁膜をマスクにして当該第1のゲート絶縁膜の斜め上方からイオン注入することで、第1のゲート絶縁膜から所定間隔離れた位置から前記第3濃度の逆導電型ドレイン領域間にまたがる領域に形成することを特徴とする。

【0027】

また、前記第4濃度の逆導電型層の形成工程が、前記第1のゲート絶縁膜を被覆するように形成したホトレジストをマスクにして斜め上方からイオン注入することで、第1のゲート絶縁膜から所定間隔離れた位置から前記第3濃度の逆導電

型ドレイン領域間にまたがる領域に形成することを特徴とする。

【0028】

【発明の実施形態】

以下、本発明の半導体装置とその製造方法の実施形態について図面を参照しながら説明する。

【0029】

図4において、本発明の第1の実施形態の半導体装置は、一導電型、例えばP型の半導体基板（P-Sub）1上に第1のゲート絶縁膜4及び第2のゲート絶縁膜6が形成され、当該第1のゲート絶縁膜4から第2のゲート絶縁膜6上に跨るようにゲート電極7が形成されている。また、前記ゲート電極7の一端に隣接するように高濃度の逆導電（N+）型ソース領域9が形成され、当該ゲート電極7下のチャネル領域を介して前記ソース領域9と対向するように第1の低濃度の逆導電（N-）型ドレイン領域5Aが形成され、当該第1の低濃度のN-型ドレイン領域5Aに連なるように第2の低濃度のN-型ドレイン領域5Bが形成され、更に、前記ゲート電極7の他端から離間され、かつ前記第2の低濃度のN-型ドレイン領域5B内に含まれるように高（第3）濃度の逆導電（N+）型ドレイン領域10が形成されている。

【0030】

このように本発明では、ゲート電極7の他端から前記第3濃度の逆導電（N+）型ドレイン領域10にかけて不純物濃度が高くなるように低濃度の逆導電型ドレイン領域5を形成している。即ち、第1濃度の逆導電（N-）型ドレイン領域5Aから第2濃度の逆導電（N-）型ドレイン領域5Bにかけて不純物濃度が高くなるように低濃度の逆導電型ドレイン領域5は形成されている。

【0031】

以下、上記半導体装置の製造方法について説明する。

【0032】

先ず、図1に示すようにP型の半導体基板1上のドレイン形成領域上に開口を有するホトレジスト2をマスクにしてN型不純物をイオン注入してイオン注入層3を形成する。本工程では、N型不純物として、例えばリンイオン（ $^{31}\text{P}^+$ ）を

およそ 100 KeV の加速電圧で、およそ $4 \times 10^{12} / \text{cm}^2 \sim 6 \times 10^{12} / \text{cm}^2$ (本実施形態では、 $6 \times 10^{12} / \text{cm}^2$) の注入量でイオン注入している。

【0033】

続いて、図2に示すように基板1の所定領域をフィールド酸化することで、およそ 800 nm の膜厚のフィールド酸化膜から成る第1のゲート絶縁膜4を形成する。本工程では、およそ 1000°C で N_2 雰囲気中で1時間、 O_2 雰囲気中で5時間フィールド酸化することで、当該フィールド酸化膜を形成している。

【0034】

そして、本工程において、前記イオン注入層3内のリンイオンが拡散されて、前記第1のゲート絶縁膜4下に第1の低濃度の逆導電(N⁻)型ドレイン領域5Aが形成され、当該第1の低濃度のN⁻型ドレイン領域5Aに連なるように第2の低濃度のN⁻型ドレイン領域5Bが形成される。

【0035】

ここで、本発明の半導体装置は、フィールド酸化膜形成前に低濃度のN型ドレイン領域形成用のイオン注入を行い、フィールド酸化膜(第1のゲート絶縁膜4)下と活性領域間に濃度分布を持たせたことを特徴とする。

【0036】

即ち、図2に示すように周知のLOCOS (Local oxidation of silicon) 法により形成された第1のゲート絶縁膜4下を含んだ領域に低濃度のN型ドレイン領域5が形成される。当該ドレイン領域5の第1のゲート絶縁膜4下は、当該ドレイン領域5内の他の領域に比べ濃度が低く形成されている。まず、前記ドレイン領域5の形成領域に前述したようにリンイオン ($^{31}\text{P}^+$) を注入量 $4 \times 10^{12} / \text{cm}^2$ 乃至 $6 \times 10^{12} / \text{cm}^2$ の条件でイオン注入した後にフィールド酸化を行うことで、前記第1のゲート絶縁膜4の成長部分で酸化時にリンイオン ($^{31}\text{P}^+$) が第1のゲート絶縁膜4に取り込まれることにより、当該第1のゲート絶縁膜4下に低濃度化したN⁻型ドレイン領域5Aが形成され、該N⁻型ドレイン領域5A(第1のゲート絶縁膜4の他端)からN⁻型ドレイン領域5Aより幾分濃度の高いN⁻型ドレイン領域5Bが連なるようにして形成される。

【0037】

尚、上述したように前記ドレイン領域5の形成領域にリンイオン ($^{31}\text{P}^+$) をイオン注入し、第1のゲート絶縁膜4の形成領域下にチャネルストッパ層形成用のP型不純物をイオン注入した後に、フィールド酸化を行うことで、前記第1のゲート絶縁膜4の成長部分で酸化時にリンイオン ($^{31}\text{P}^+$) が第1のゲート絶縁膜4に取り込まれると共に、前記リンイオンと逆導電型のP型不純物（例えば、ボロンイオン ($^{11}\text{B}^+$) ）を注入しておくことで、更に第1のゲート絶縁膜4下に低濃度化したN-型ドレイン領域を形成することができる。更に言えば、本工程は、チャネルストッパ層形成用のP型不純物のイオン注入工程を利用しているため、製造工程数が増大することはなく、作業性が良い。

【0038】

更に、図3に示すように前記基板1上の第1のゲート絶縁膜4以外の領域を熱酸化しておよそ100nmの膜厚の第2のゲート絶縁膜6を形成した後に、全面に導電膜、例えばポリシリコン膜を形成し、当該ポリシリコン膜を周知のパターニング技術を用いてパターニングすることで、前記第1のゲート絶縁膜4から第2のゲート絶縁膜6に跨るようにおよそ400nmの膜厚のゲート電極7を形成する。

【0039】

そして、図4に示すようにソース形成領域及び前記低濃度のドレイン領域5上の所定領域上に開口を有するホトレジスト8をマスクにして、例えばヒ素イオン ($^{75}\text{As}^+$) をおよそ80KeVの加速電圧で、およそ $6 \times 10^{15} / \text{cm}^2$ の注入量でイオン注入し、前記ゲート電極7の一端に隣接するように高濃度のN+型ソース領域9を形成すると共に、ゲート電極7の他端から離間され、かつ前記低濃度（N-型）ドレイン領域5Bに含まれる高（第3）濃度のN+型ドレイン領域10を形成する。

【0040】

このようにして形成された半導体装置の濃度分布は、図5に示すようにチャネル側のドレイン端部AからN+型ドレイン領域10に向かって徐々に濃度を高くすることができ、低濃度のN型ドレイン領域5の端部Aの濃度が低くなる（N-型ドレイン領域5Aの濃度がN-型ドレイン領域5Bの濃度よりも低くなる）

ことで、ソースドレイン間電圧（BVDS）を確保すると共に、動作耐圧（VSUS）を向上させることができる。

【0041】

このように本発明の半導体装置は、フィールド酸化前に低濃度のドレイン領域形成用のイオン注入を行うことで、第1のゲート絶縁膜4下と活性領域に濃度分布を持った低濃度のN型ドレイン領域5を形成することができ、作業性が良い。

【0042】

以下、本発明の他の実施形態について説明する。

【0043】

先ず、第2の実施形態は、前述した第1の実施形態の半導体装置において、更に動作耐圧（VSUS）を上げる場合に有効なものであり、図6に示すようにN+型ドレイン領域10を取り囲むように当該N+型ドレイン領域10よりも低濃度で、前記N-型ドレイン領域5Bよりも高濃度な（いわゆる中濃度の）N型層11を形成することで、より一層の動作耐圧（VSUS）の向上が図れる。

【0044】

尚、本実施形態の半導体装置の製造方法は、前述した第1の実施形態の半導体装置の製造方法（図1～図4までの工程）に続いて、図6に示すように例えばリンイオン（ $^{31}\text{P}^+$ ）をおよそ160KeVの加速電圧で、およそ $2 \times 10^{12}/\text{cm}^2$ の注入量でイオン注入することで、当該N型層11を形成することができる。

【0045】

この工程により、チャネル側ドレイン領域端部の濃度をN-型ドレイン領域5Aにより低濃度に保った状態のまま上記N型層11でN+型ドレイン領域10を取り囲むことができる。以上説明したように、前記高濃度のN+型ドレイン領域10を中濃度のN型層11で取り囲み、N+型ドレイン領域まで空乏層が伸びることのないようにしたことで、図7に実線で示すように本発明の半導体装置はダブルハンプ特性が消え、高いゲート電圧（VG）領域での基板電流（ISub）を減少させられる。これにより、図8、図9に示すように動作耐圧（VSUS）が向上する。特に、高いゲート電圧（VG）、高いドレイン電流（ID）領域で

の著しい耐圧向上が図れる。

【0046】

次に、本発明の第3の実施形態について説明する。

【0047】

ここで、第3の実施形態の半導体装置の特徴は、図10に示すように前記第1のゲート絶縁膜4を介してゲート電極7の一端部（ドレイン側）から所定間隔（L）を介して中濃度のN型層11Aが形成されていることである。このように第1のゲート絶縁膜4を介してゲート電極7の一端部から所定間隔（L）を介してN型層11Aが形成されることで、ゲート電極7端部での電界集中が抑制され、更なる高耐圧化が図れる。

【0048】

また、上記半導体装置の製造方法は、上記第2の実施形態で説明した図6での工程において、図10に示すようにゲート電極7の一端部（ドレイン側）から所定間隔オーバーラップするようにホトレジスト12を形成した状態で、例えばリンイオン（ $^{31}\text{P}^+$ ）をおよそ加速電圧160KeVで、およそ $2 \times 10^{12}/\text{cm}^2$ の注入量でイオン注入することで、前記ゲート絶縁膜6を介してゲート電極7の一端から所定間隔（L）を存して前記N型ドレイン領域5B内に含まれるN+型ドレイン領域10近傍に中濃度のN型層11Aを形成している。従って、このホトレジスト12を形成する際の第1のゲート絶縁膜4を介したゲート電極7とのオーバーラップ量を調整することで、第1のゲート絶縁膜4を介したゲート電極7からの間隔（L）を任意に設定できる。

【0049】

以下、上述したような第1のゲート絶縁膜4を介したゲート電極7の一端部（ドレイン側）から所定間隔を存して中濃度のN型層を形成する場合の他の実施形態について説明する。

【0050】

先ず、第4の実施形態は、図11に示すように第1のゲート絶縁膜4の側壁部を被覆するように側壁絶縁膜13を形成し、この側壁絶縁膜13をマスクにしてN型層形成用のイオン注入を行うことで、上記構成を実現している。

【0051】

即ち、第1の実施形態で説明した図4の工程後に、全面にCVD法により絶縁膜を形成した後に、当該絶縁膜を異方性エッチングすることで、ゲート電極7及び第1のゲート絶縁膜4の側壁部に側壁絶縁膜13を形成する。

【0052】

そして、前記第1のゲート絶縁膜4及び側壁絶縁膜13をマスクにして、例えばリンイオン ($^{31}\text{P}^+$) をおよそ加速電圧160 KeVで、およそ $2 \times 10^{12}/\text{cm}^2$ の注入量でイオン注入することで、前記第1のゲート絶縁膜4を介してゲート電極7の端部から所定間隔(L)を存して前記N型ドレイン領域5B内に含まれるN+型ドレイン領域10近傍に中濃度のN型層11Bを形成する。

【0053】

このように第4の実施形態では、第2の実施形態のようにホトレジスト12を用いる代わりに第1のゲート絶縁膜4の側壁部に形成した側壁絶縁膜13をマスクの一部として用いているため、ホトレジスト12を用いるような場合に懸念されるマスク合わせずれに対するN型層の形成位置合わせマージンが確保できる。即ち、本実施形態では、側壁絶縁膜形成用の絶縁膜の膜厚によりゲート電極7の端部からN型層11Bが形成されるまでの間隔(L)が任意に調整できる。

【0054】

更に、第5の実施形態について説明する。

【0055】

ここで、第5の実施形態の特徴は、図12に示すように第1のゲート絶縁膜4をマスクにしてN型層形成用のイオン注入を当該第1のゲート絶縁膜4の斜め上方から行うことで、上記構成を実現したことである。

【0056】

即ち、第1の実施形態で説明した図4の工程後に、第1のゲート絶縁膜4をマスクにして当該第1のゲート絶縁膜4の斜め上方から、例えばリンイオン ($^{31}\text{P}^+$) をおよそ加速電圧160 KeVで、およそ $2 \times 10^{12}/\text{cm}^2$ の注入量でイオン注入することで、前記第1のゲート絶縁膜4を介してゲート電極7の端部から所定間隔(L)を存して前記N型ドレイン領域5B内に含まれるN+型ドレ

イン領域 10 近傍に中濃度の N 型層 11C を形成する。このとき、第 1 のゲート絶縁膜 4 の膜厚にもよるが、当該第 1 のゲート絶縁膜 4 の斜め上方からのイオン注入角度（尚、本実施形態では、第 1 のゲート絶縁膜 4 の垂直方向から 30 度傾けてイオン注入している。）を任意に調整することで、第 1 のゲート絶縁膜 4 を介したゲート電極 7 の端部から N 型層 11C が形成されるまでの間隔（L）が任意に調整できる。

【0057】

このように第 5 の実施形態では、第 1 のゲート絶縁膜 4 の斜め上方からイオン注入することで、第 1 のゲート絶縁膜 4 を介したゲート電極 7 の端部から所定間隔（L）を存して N 型層 11C を形成することができ、ホトレジスト 12 や側壁絶縁膜 13 を用いた製造方法に比して製造工程数を削減できる。しかも、イオン注入する際のイオン注入角度を任意に調整するだけで、前記第 1 のゲート絶縁膜 4 を介したゲート電極 7 の端部から N 型層 11C が形成されるまでの間隔（L）を任意に調整できるため作業性が良い。

【0058】

尚、このような斜めイオン注入法を用いるものにおいても、図示した説明は省略するが、上述した第 2 の実施形態のように前記ホトレジスト 12 を用いた状態で、この斜め方向からイオン注入しても良い。更に言えば、ホトレジスト 12 の代わりに第 3 の実施形態のように前記側壁絶縁膜 13 を用いた状態で、斜め方向からイオン注入しても良い。

【0059】

【発明の効果】

本発明によれば、第 1 のゲート絶縁膜を介したゲート電極下と活性領域との間に不純物濃度の異なる低濃度の逆導電型ドレイン領域が形成されているため、第 1 のゲート絶縁膜を介したゲート電極の端部への電界集中を抑制することができ、動作耐圧を向上させることができる。

【0060】

また、前記ゲート電極の他端から離間され、かつ低濃度の逆導電型ドレイン領域内に含まれる高濃度の逆導電型ドレイン領域間にまたがる領域において、基板

内の所定深さ位置に不純物濃度ピークを有し、基板表面に近い領域で不純物濃度が低くなる中濃度の逆導電型層が形成されているため、更なる動作耐圧の向上が図れる。

【 0 0 6 1 】

特に、前記第 1 のゲート絶縁膜を介したゲート電極の端部から所定間隔離れた位置に前記中濃度の逆導電型層を形成することで、更なる高耐圧化が可能になる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態の半導体装置の製造方法を示す第 1 の断面図である。

【図 2】

本発明の第 1 の実施形態の半導体装置の製造方法を示す第 2 の断面図である。

【図 3】

本発明の第 1 の実施形態の半導体装置の製造方法を示す第 3 の断面図である。

【図 4】

本発明の第 1 の実施形態の半導体装置の製造方法を示す第 4 の断面図である。

【図 5】

本発明の第 1 の実施形態の半導体装置の基板濃度分布を示す図である。

【図 6】

本発明の第 2 の実施形態の半導体装置の製造方法を示す断面図である。

【図 7】

本発明の半導体装置及び従来の半導体装置のおのこの基板電流 (I_{Sub}) - ゲート電圧 (V_G) 特性を示す図である。

【図 8】

本発明の半導体装置及び従来の半導体装置のドレイン電流 (I_D) - ドレイン電圧 (V_D) 特性を示す図である。

【図 9】

本発明の半導体装置及び従来の半導体装置の動作耐圧を示す図である。

【図 1 0】

本発明の第 3 の実施形態の半導体装置の製造方法を示す断面図である。

【図 1 1】

本発明の第 4 の実施形態の半導体装置の製造方法を示す断面図である。

【図 1 2】

本発明の第 5 の実施形態の半導体装置の製造方法を示す断面図である。

【図 1 3】

従来の半導体装置を示す断面図である。

【図 1 4】

従来の動作耐圧低下のメカニズムを説明するための半導体装置の断面図である。

【図 1 5】

従来の寄生バイポーラトランジスタの等価回路を示す図である。

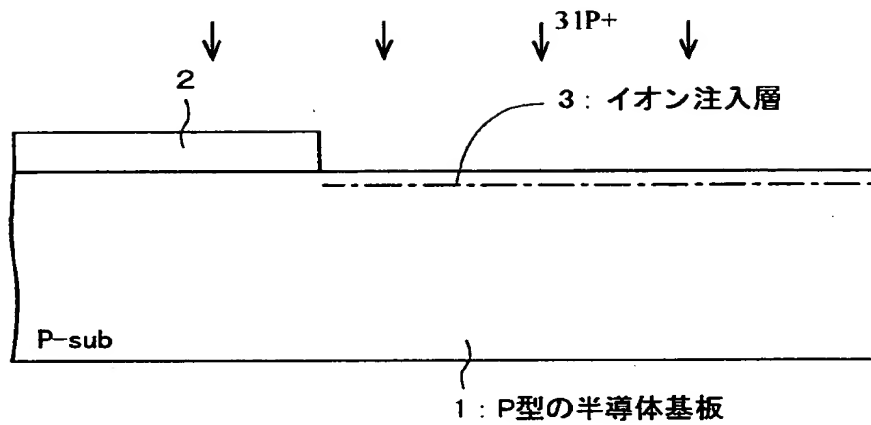
【図 1 6】

従来の動作耐圧低下のメカニズムを説明するための正帰還ループを示す図である

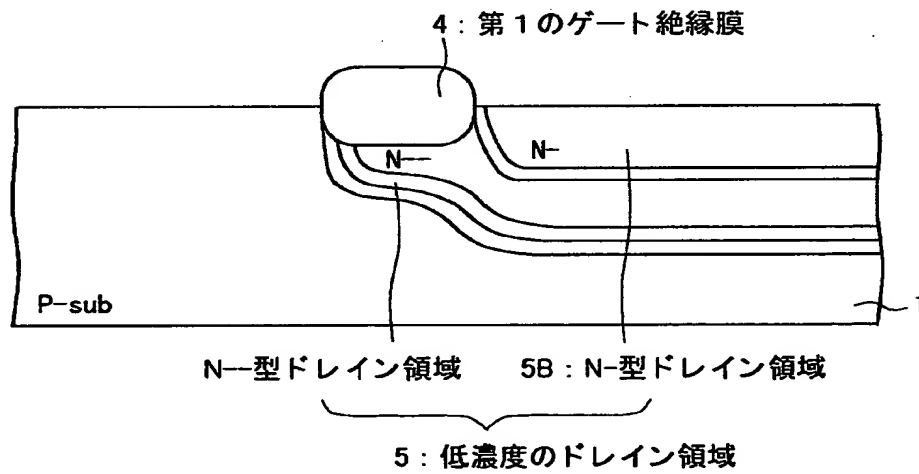
。

【書類名】 図面

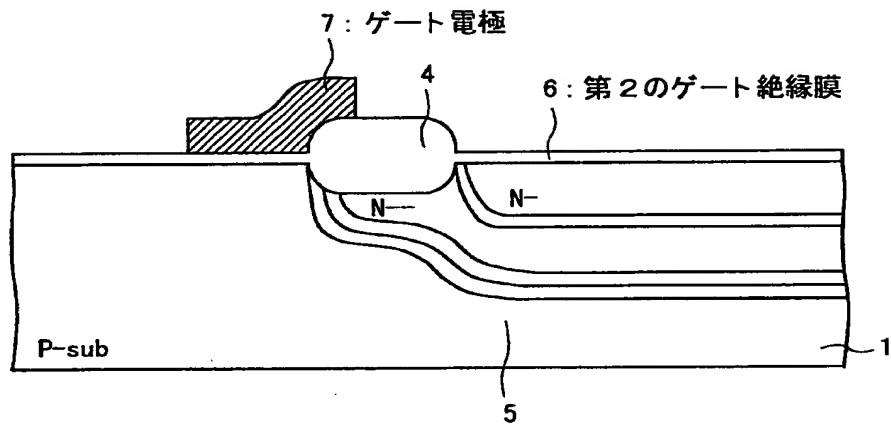
【図 1】



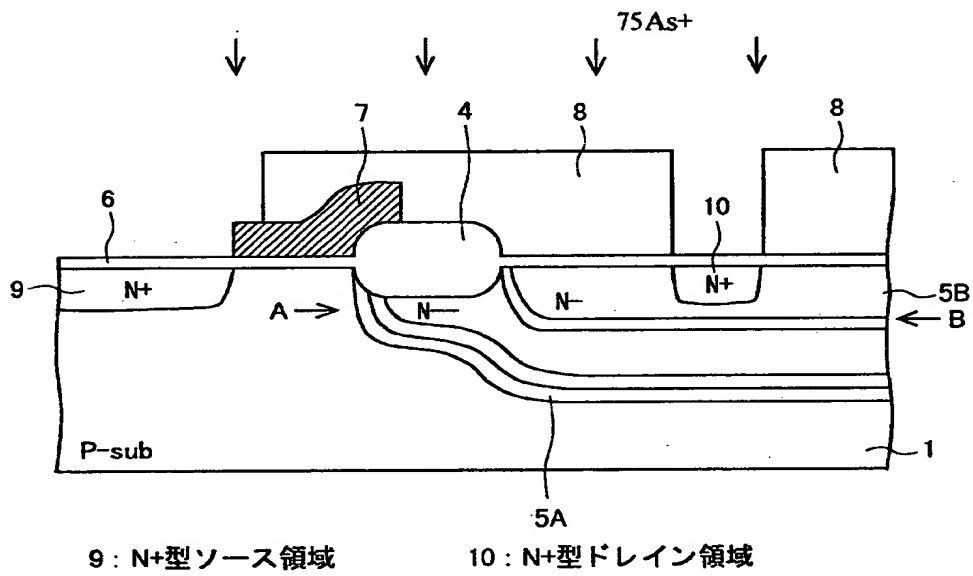
【図 2】



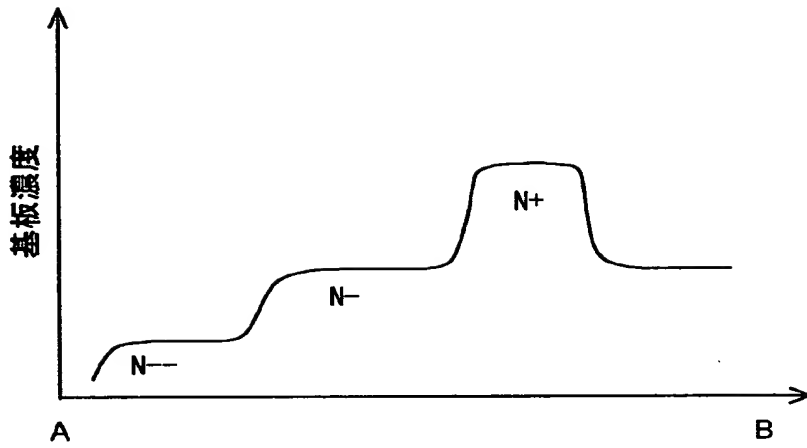
【図3】



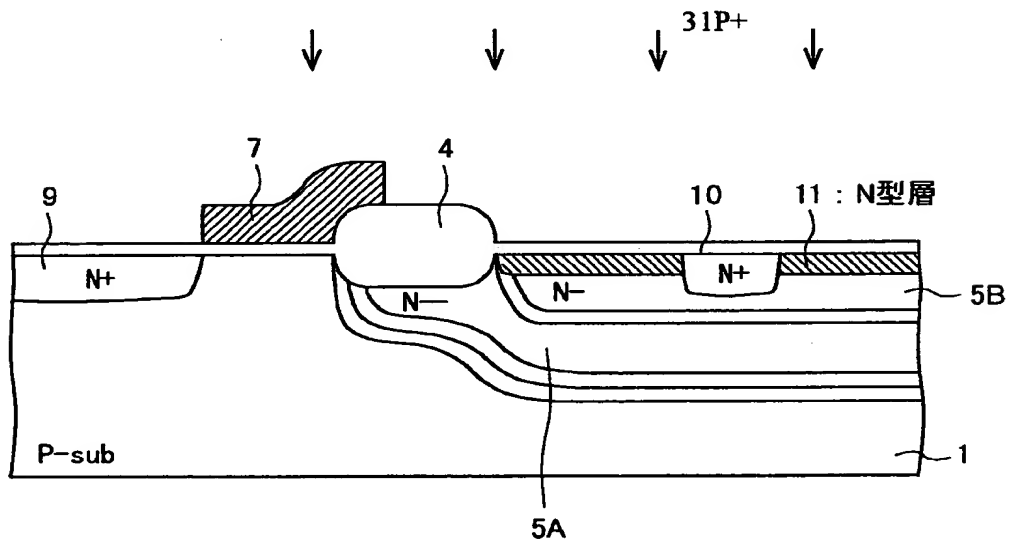
【図4】



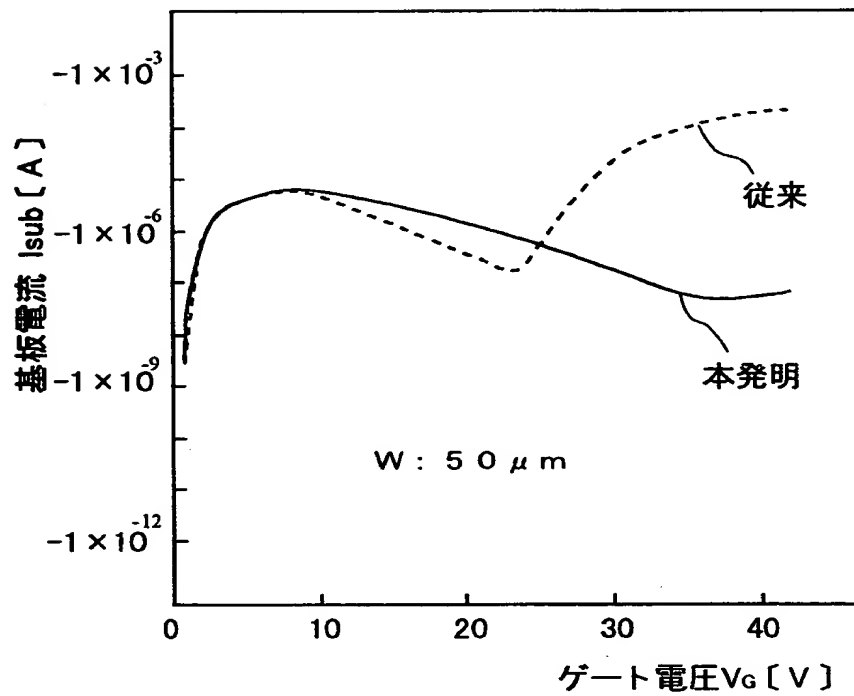
【図 5】



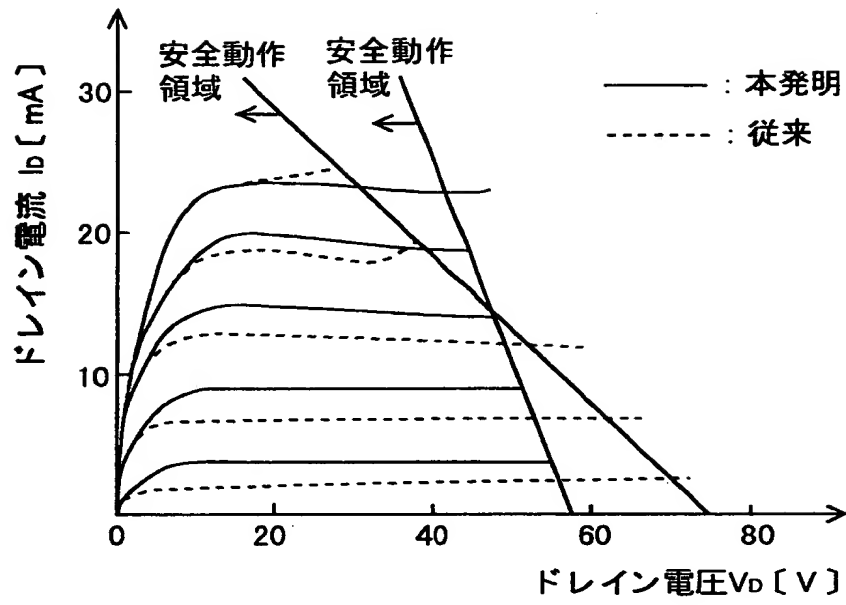
【図 6】



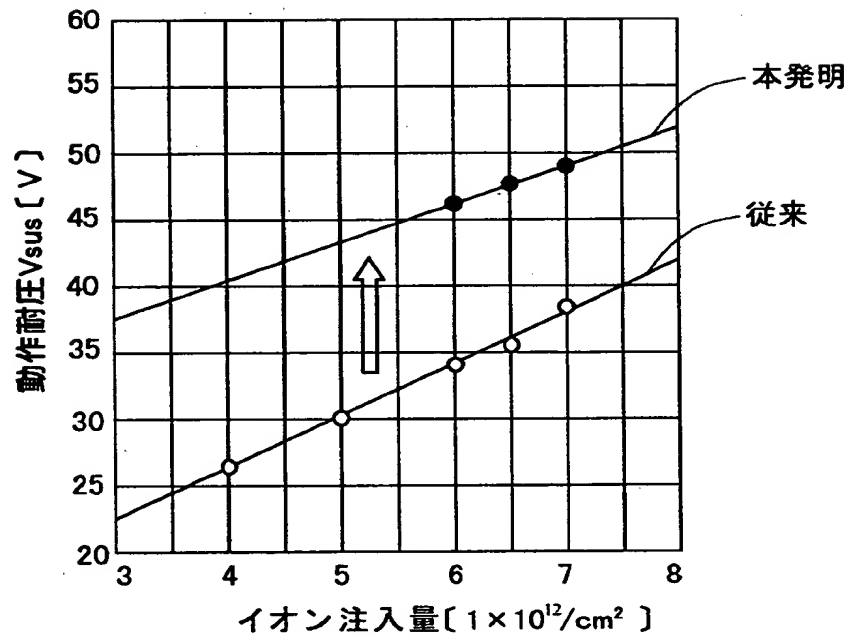
【図 7】



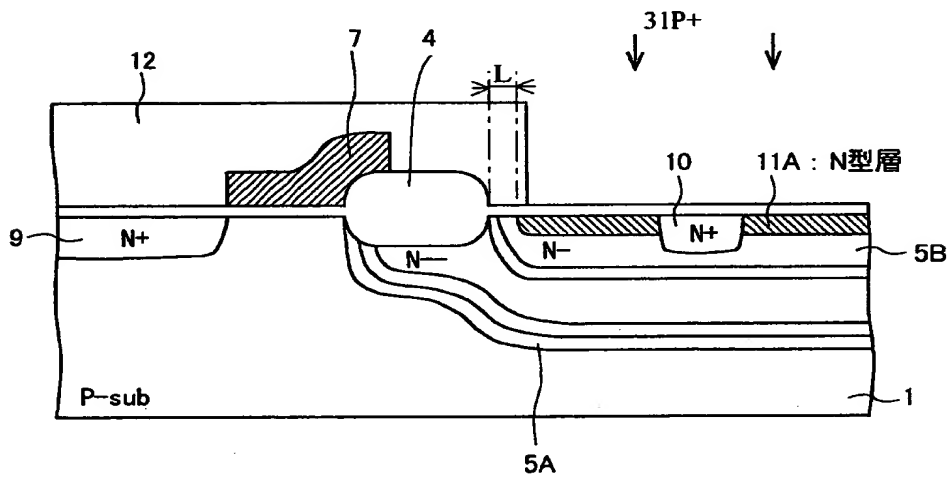
【図 8】



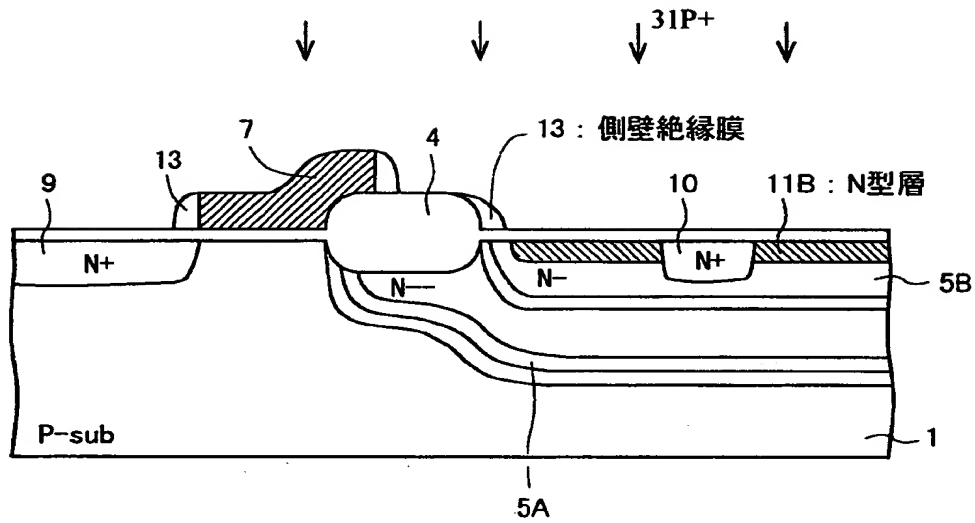
【図9】



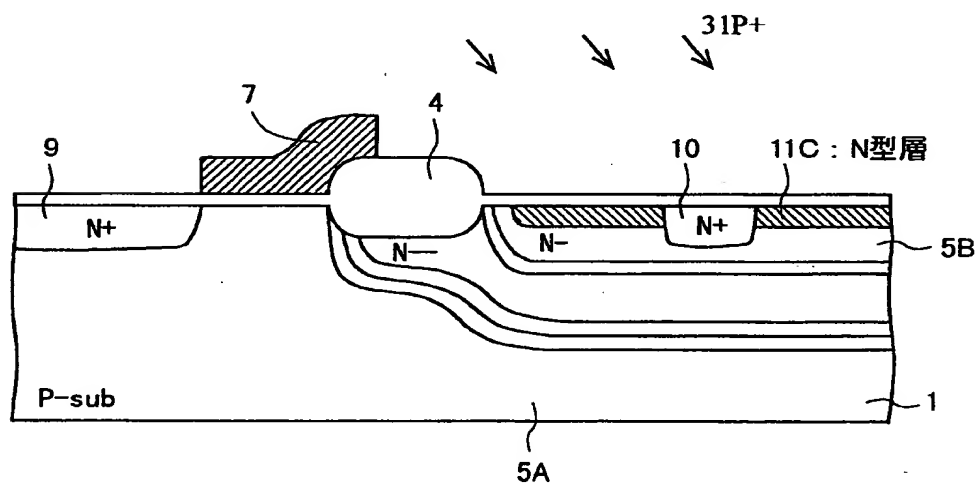
【図10】



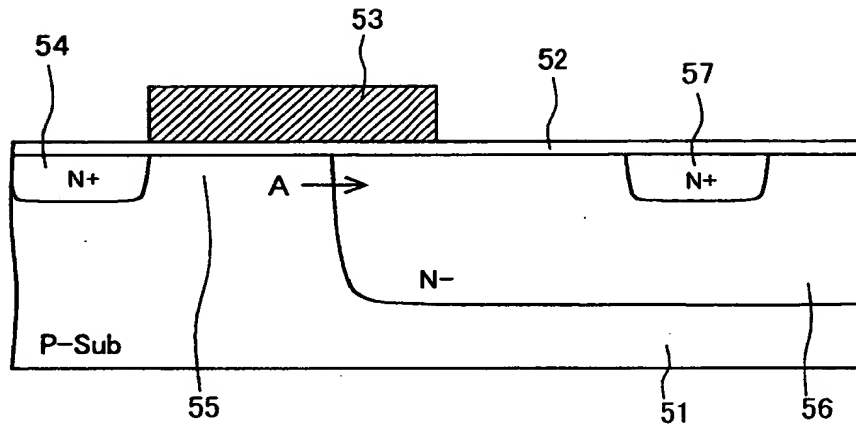
【図 11】



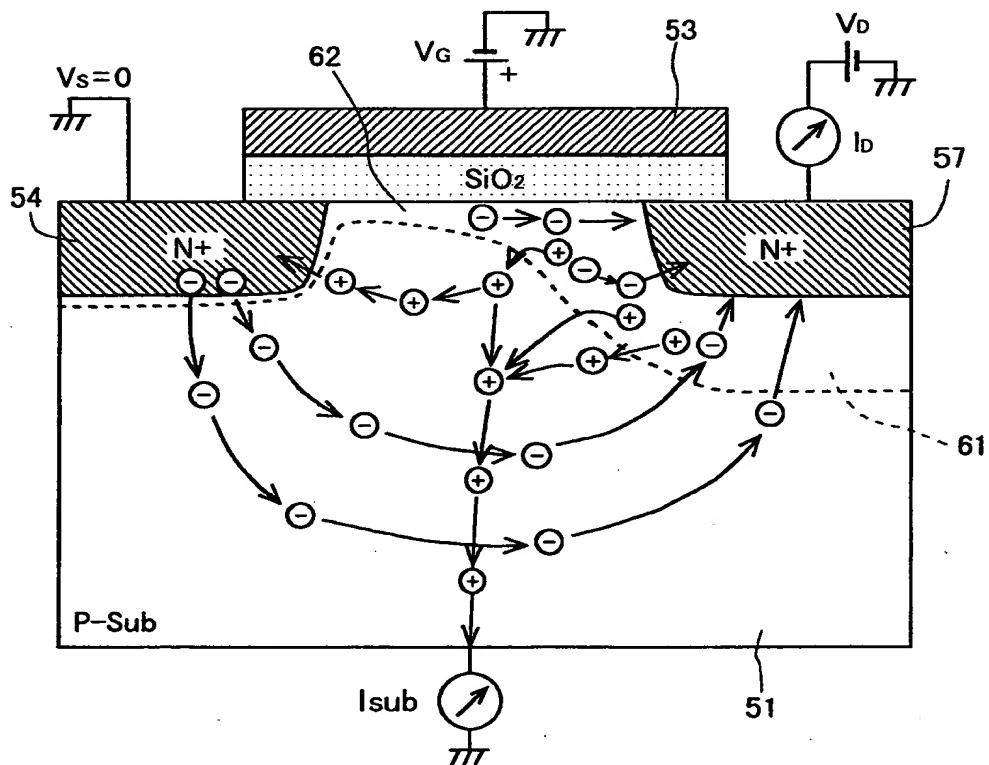
【図 12】



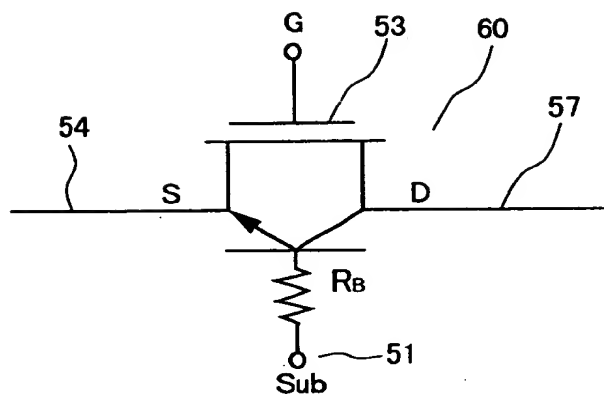
【図 13】



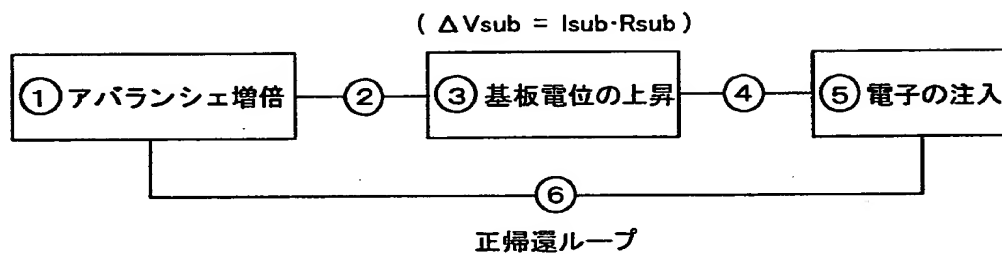
【図 14】



【図15】



【図16】



【書類名】 要約書

【要約】

【課題】 動作耐圧の向上を図る。

【解決手段】 P型の半導体基板1上に形成された第1及び第2のゲート絶縁膜4, 6上に延在してゲート電極7が形成され、このゲート電極7の一端に隣接するN+型のソース領域9と、チャネル領域を介して前記ソース領域9と対向し、かつ前記第1のゲート絶縁膜4下に少なくとも前記基板内の所定深さ位置に不純物濃度ピークを有し、基板表面に近い領域で不純物濃度が低くなるように形成されたN--型ドレイン領域5Aと当該ドレイン領域5Aに連なるように形成されたN-型ドレイン領域5Bと、前記ゲート電極7の他端から離間され、かつ前記N-型ドレイン領域5B内に含まれるN+型ドレイン領域10と、前記第1のゲート絶縁膜4の一端部から前記N+型ドレイン領域10間にまたがるように形成されたN型層11とを具備することを特徴とする。

【選択図】 図6

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社